

CERTIFIED COPY OF
PRIORITY DOCUMENT

10/044187
01/0/02
U.S. PRO
11050

대한민국특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

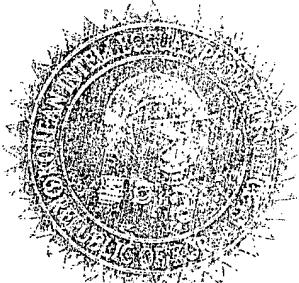
This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 3166 호
Application Number

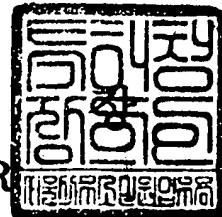
출원년월일 : 2001년 01월 19일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)

2001 년 06 월 11 일



특허청
COMMISSIONER



【서류명】	특허출원서	
【권리구분】	특허	
【수신처】	특허청장	
【참조번호】	0001	
【제출일자】	2001.01.19	
【국제특허분류】	H03L	
【발명의 명칭】	연산 프로세서를 이용한 디지털 베이스 부스터	
【발명의 영문명칭】	Digital base booster using arithmetic processor	
【출원인】		
【명칭】	삼성전자 주식회사	
【출원인코드】	1-1998-104271-3	
【대리인】		
【성명】	이영필	
【대리인코드】	9-1998-000334-6	
【포괄위임등록번호】	1999-009556-9	
【대리인】		
【성명】	정상빈	
【대리인코드】	9-1998-000541-1	
【포괄위임등록번호】	1999-009617-5	
【발명자】		
【성명의 국문표기】	영왕섭	
【성명의 영문표기】	YEUM, Wang Seup	
【주민등록번호】	640104-1691115	
【우편번호】	449-840	
【주소】	경기도 용인시 수지읍 죽전리 832번지 벽산아파트 208동 403호	
【국적】	KR	
【심사청구】	청구	
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사 를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)	
【수수료】		
【기본출원료】	18	면 29,000 원
【가산출원료】	0	면 0 원

1020010003166

2001/6/1

【우선권주장료】	0	건	0	원
【심사청구료】	6	항	301,000	원
【합계】	330,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】

【요약】

연산 프로세서를 이용하여 하드웨어를 감소시키는 디지털 베이스 부스터(digital base booster)를 개시한다. 복수 개의 파샬 빌딩 블럭(partial building block)들을 포함하는 다단(cascade) 구조의 IIR 필터를 사용하는 종래의 방식 대신, 연산 프로세서를 이용하여 구현하는 상기 디지털 베이스 부스터는, 제1내부데이터, 입력부, 데이터 할당기, 연산부 및 출력데이터 저장기를 구비한다. 상기 제1내부데이터는 상기 연산부의 출력데이터이고, 상기 입력부는 복수 개의 멀티 비트 레지스터들을 구비하여 입력데이터 및 상기 제1내부데이터를 저장하고 일정한 제어신호에 응답하여 저장된 데이터를 출력하며, 상기 데이터 할당기(data assigner)는 상기 입력부의 복수 개의 출력데이터 중에서 하나의 출력데이터를 선택한다. 상기 연산부는 상기 데이터 할당기의 출력데이터 및 내부에 저장된 데이터에 대한 연산을 수행하고, 상기 연산의 결과데이터에 대한 라운드오프 에러(roundoff error)를 보상하여 저장하고 출력한다. 상기 출력데이터 저장기는 상기 연산부의 처리 결과를 저장하고 출력한다.

【대표도】

도 2

【명세서】

【발명의 명칭】

연산 프로세서를 이용한 디지털 베이스 부스터{Digital base booster using arithmetic processor}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 IIR(Infinit Impulse Response) 필터로 구현된 종래의 디지털 베이스 부스터(digital base booster)의 일 예를 나타내는 구성도이다.

도 2는 본 발명에 따른 디지털 베이스 부스터의 구성도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<4> 본 발명은 디지털 신호처리(digital signal processing)에 관한 것으로, 특히 디지털 오디오 시스템의 디지털 베이스 부스터(digital base booster)에 관한 것이다.

<5> 디지털 오디오 시스템에서 재생되는 소리의 주파수 대역별 강조를 위하여 사용되는 디지털 베이스 부스터 시스템은 일반적으로 FIR(Finite Impulse Response)필터 또는 IIR(Infinit Impulse Response)필터로 구현된다.

<6> 도 1은 IIR필터로 구현된 종래의 디지털 베이스 부스터(digital base booster)의 일 예를 나타내는 구성도이다.

<7> 도 1을 참조하면, 상기 종래의 디지털 베이스 부스터는, 3개의 파샬 빌딩 블럭(partial building block)들 즉, 베이스 밴드 필터(base band filter, 110), 미들 밴드 필터(middle band filter, 130), 트레블 밴드 필터(treble band filter, 150) 및 제1덧셈기(170)를 구비한다.

<8> 베이스 밴드 필터(110)는, 제2덧셈기(111), 제3덧셈기(112), 제1지연기(113), 제1шу프터(shifter, 114) 내지 제4шу프터(117)를 구비한다.

<9> 제2덧셈기(111)는 입력데이터($X(n)$) 및 제1지연기(113)의 출력데이터($qb[n-1]$)와 제1шу프터(114)에 저장된 임의의 계수($-b11$)를 곱한 데이터를 합하고, 제3덧셈기(112)는 제1지연기(113)의 출력데이터($qb[n-1]$)와 제2шу프터(115)에 저장된 임의의 계수($a11$)를 곱한 데이터 및 제2덧셈기(111)의 출력데이터($qb[n]$)와 제3шу프터(116)에 저장된 임의의 계수($a01$)를 곱한 데이터를 합한다. 제1지연기(113)는 제2덧셈기(111)의 출력을 지연시키고, 제4шу프터(117)는 제3덧셈기(112)의 출력에 곱하여 지는 계수(Gb)를 저장한다.

<10> 미들 밴드 필터(130)는, 제4덧셈기(131), 제5덧셈기(132), 제2지연기(133), 제3지연기(134), 제5шу프터(135) 내지 제10шу프터(140)를 구비한다. 제4덧셈기(131)는 입력데이터($X(n)$), 제2지연기(133)의 출력데이터($qm[n-1]$)와 제5шу프터(135)에 저장된 임의의 계수($-b12$)를 곱한 데이터 및 제3지연기(134)의 출력데이터($qm[n-2]$)와 제6шу프터(136)에 저장된 임의의 계수($-b22$)를 곱한 데이터를 합하고, 제5덧셈기(132)는 제2지연기(133)의 출력데이터($qm[n-1]$)와

제7шу프터(137)에 저장된 임의의 계수(a12)를 곱한 데이터, 제3지연기(134)의 출력데이터($qm[n-2]$)와 제8шу프터(138)에 저장된 임의의 계수(a22)를 곱한 데이터 및 제4덧셈기(131)의 출력데이터($qm[n]$)와 제9шу프터(139)에 저장된 임의의 계수(a02)를 곱한 데이터를 합한다. 제2지연기(133)는 제4덧셈기(131)의 출력을 지연시키고, 제3지연기(134)는 제2지연기(133)의 출력을 지연시킨다. 제10шу프터(140)는 제5덧셈기(132)의 출력에 곱하여 지는 계수(Gm)를 저장한다.

<11> 트레블 밴드 필터(150)는, 제6덧셈기(151), 제7덧셈기(152), 제4지연기(153), 제11шу프터(154) 내지 제14шу프터(157)를 구비한다. 제6덧셈기(151)는 입력데이터($X(n)$) 및 제4지연기(153)의 출력데이터($qt[n-1]$)와 제11шу프터(154)에 저장된 임의의 계수(- $b13$)를 곱한 데이터를 합하고, 제7덧셈기(152)는 제4지연기(153)의 출력데이터($qt[n-1]$)와 제12шу프터(155)에 저장된 임의의 계수(a13)를 곱한 데이터 및 제6덧셈기(151)의 출력데이터와 제13шу프터(156)에 저장된 임의의 계수(a03)를 곱한 데이터를 합한다. 제4지연기(153)는 제6덧셈기(151)의 출력데이터($qt[n]$)를 지연시키고, 제14шу프터(157)는 제7덧셈기(152)의 출력에 곱하여 지는 계수(Gt)를 저장한다.

<12> 제1덧셈기(170)는 베이스 밴드 필터(110), 미들 밴드 필터(130) 및 트래블 밴드 필터(150)의 출력데이터를 합한다.

<13> 도 1에 도시된 오디오용 DBB시스템의 전달함수($H(z)$)는 수학식 1과 같다.

<14> 【수학식 1】

$$H(z) = Gb * \frac{a01 + a11 Z^{-1}}{1 + b11 Z^{-1}} + Gm * \frac{a02 + a12 Z^{-1} + a22 Z^{-2}}{1 + b12 Z^{-1} + b22 Z^{-2}} + Gt * \frac{a03 + a13 Z^{-1}}{1 + b13 Z^{-1}}$$

<15> 일반적으로 고차 IIR필터를 다이렉트 폼(direct form)으로 구성하면, 유한 개의 비

트로 연산을 수행하기 때문에 발생하는 연산 라운드오프 에러(roundoff error) 및 계수 양자화에러가 발생하고, 특히 피드백 덧셈기(feedback adder)에서 오버플로(overflow)가 일어나기 쉬운데, 이를 극복하기 위하여 도 1에서와 같이 파샬 빌딩 블럭(partial building block)을 사용하여 다단 구조의 IIR 필터를 구성한다.

<16> 그러나 3개의 파샬 빌딩 블럭으로 구성된 제 1도의 DBB시스템의 경우, 피드백 계수들(b_{11}, b_{12}, b_{22} 및 b_{13})과 포워드 계수들($a_{01}, a_{11}, a_{02}, a_{12}, a_{22}, a_{03}$ 및 a_{13}) 및 이득계수들(G_b, G_m 및 G_t)을 제공하기 위하여 복수 개의 멀티 비트 쉬프터들이 필요하며, 상기 계수들의 연산을 위하여 멀티 비트 곱셈기(multi bit multiplier), 멀티 비트 피드백 덧셈기(feedback adder) 및 포워드 덧셈기가 반복 구성됨에 따라 다단 구성의 수 및 연산 비트의 사이즈에 비례하여 하드웨어가 증가할 수밖에 없는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<17> 따라서 본 발명이 이루고자 하는 기술적 과제는, 연산 프로세서를 이용하여 하드웨어를 감소시키는 디지털 베이스 부스터를 제공하는 데 있다.

【발명의 구성 및 작용】

<18> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따르면, 상기 디지털 베이스 부스터는, 제1내부데이터, 입력부, 데이터 할당기, 연산부 및 출력데이터 저장기를 구비한다.

<19> 상기 제1내부데이터는 상기 연산부의 출력데이터이고, 상기 입력부는 복수 개의 멀티 비트 레지스터들을 구비하여 디지털 오디오 시스템으로부터 전달되는 입력데이터 및 상기 제1내부데이터를 저장하고 일정한 제어신호에 응답하여 상기 저장된 데이터를 출력

하며, 상기 복수 개의 멀티 비트 레지스터들 중 하나는, 상기 입력데이터를 저장하고, 나머지 멀티 비트 레지스터들은, 상기 제1내부데이터를 저장한다. 상기 데이터 할당기 (data assigner)는 상기 입력부의 복수 개의 출력데이터 중에서 하나의 출력데이터를 선택하여 출력하며, 멀티플렉서(multiplexer)로 대체할 수 있다.

<20> 상기 연산부는 상기 데이터 할당기의 출력데이터 및 내부에 저장된 데이터에 대한 연산을 수행하며, 상기 연산의 결과데이터에 대한 라운드 오프 에러(round off error)를 보상하여 저장하고 출력한다. 상기 연산부는, 제2내부데이터, 제1데이터 레지스터, 제2데이터 레지스터, 연산데이터부, 제1멀티플렉서, 연산처리부, 에러보상기 및 제3데이터 레지스터를 구비한다.

<21> 상기 제2내부데이터는 상기 연산처리부의 출력데이터이고, 상기 제1데이터 레지스터는 상기 제2내부데이터를 선택적으로 저장하여 상기 연산처리부에 제공한다. 상기 제2데이터 레지스터는 상기 데이터 할당기의 출력데이터를 선택적으로 저장하여 상기 연산처리부에 제공한다. 상기 제1멀티플렉서는 상기 제1데이터 레지스터의 출력데이터 및 상기 제2데이터 레지스터의 출력데이터를 선별한다. 상기 연산데이터부는 상기 데이터 할당기의 출력데이터 및 상기 제2내부데이터를 선별하는 제2멀티플렉서, 상기 제2멀티플렉서의 출력데이터를 저장하는 제4데이터 레지스터 및 상기 제4데이터 레지스터의 출력데이터의 전송을 제어하는 데이터 패스 제어기를 구비하여 상기 연산부처리부의 연산과정 중의 중간결과 데이터를 저장하고, 상기 저장된 데이터를 다시 상기 연산처리부에 공급 한다.

<22> 상기 연산처리부는 상기 제1멀티플렉서의 출력데이터 및 내부에 저장된 데이터에 대한 연산을 수행하는 적어도 하나의 배럴шу프터(barrel shifter), 상기 배럴шу프터의

출력데이터를 합하는 제1덧셈기 및 상기 제1덧셈기의 출력데이터와 상기 연산데이터부의 출력데이터를 합하는 제2덧셈기를 구비한다. 상기 배럴쉬프터가 하나인 경우에는 하드웨어의 면적을 상당히 줄일 수 있으나 연산을 반복해서 수행하여야 하므로 처리속도가 중요시되는 시스템에는 적용하기 어렵고, 이 경우 복수 개의 배럴쉬프터를 사용하는 것이 바람직하다.

<23> 상기 에러보상기는 상기 연산처리부의 출력데이터인 상기 제2내부데이터에 대한 라운드 오프 에러(round off error)를 보상하며, 상기 제2데이터 레지스터는 상기 에러보상기의 출력데이터를 저장한다.

<24> 상기 출력데이터 저장기는 상기 연산부의 처리 결과를 저장한다.

<25> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다.

<26> 도 2는 본 발명의 일 실시예에 따른 디지털 베이스 부스터의 구성도이다.

<27> 도 2를 참조하면, 본 발명의 일 실시예에 따른 디지털 베이스 부스터는, 입력부(200), 데이터 할당기(300), 연산부(400) 및 출력데이터 저장기(500)를 구비한다.

<28> 입력부(200)는 복수 개의 멀티 비트 레지스터들(201 내지 207)을 구비하여 입력데이터(X(n)) 및 연산부(400)의 출력데이터인 제1내부데이터(ID1)를 저장하고 일정한 제어신호에 응답하여 저장된 데이터를 출력한다. 멀티 비트 레지스터(201)는, 입력데이터(X(n))를 저장하고 일정한 제어신호(미도시)에 응답하여 저장된 데이터를 출력하고, 나머지 멀티 비트 레지스터들(202 내지 207)은, 제1내부데이터(ID1)를 저장하고 일정한 제

어신호(미도시)에 응답하여 저장된 데이터를 출력한다. 데이터 할당기(300)는 입력부(200)의 복수 개의 출력데이터 중에서 하나를 선별한다.

<29> 연산부(400)는 데이터 할당기(300)의 출력데이터 및 연산처리부(450)의 내부에 저장된 데이터(미도시)에 대한 연산을 수행하고, 상기 연산과정의 결과로 출력된 데이터의 라운드오프 에러(round off error)를 보상하여 저장 및 출력(ID1)한다. 연산부(400)는, 제1데이터 레지스터(410), 제1멀티플렉서(420), 제2데이터레지스터(430), 연산데이터부(440), 연산처리부(450), 에러보상기(460) 및 제3데이터 레지스터(470)를 구비한다.

<30> 제1데이터 레지스터(410)는 연산처리부(450)의 출력인 제2내부데이터(ID2)를 저장한다. 제2데이터 레지스터(430)는 데이터 할당기(300)의 출력데이터인 제1내부데이터(ID1)를 저장하고 연산처리부(450)에 상기 저장된 자연데이터를 제공한다. 제1멀티플렉서(420)는 제1데이터 레지스터(410)의 출력데이터 및 제2데이터레지스터(430)의 출력데이터를 선별하여 연산처리부(450)에 제공한다. 연산데이터부(440)는 데이터 할당기(300)의 출력데이터 및 제2내부데이터(ID2)를 선별하는 제2멀티플렉서(441), 제2멀티플렉서(441)의 출력데이터를 저장하는 제4데이터 레지스터(442) 및 제4데이터 레지스터(442)의 출력데이터의 전송을 제어하는 데이터 패스 제어기(443)를 구비하여 연산처리부(450)의 연산과정의 중간 결과데이터를 저장하고, 저장된 데이터를 연산처리부(450)에 제공한다.

<31> 연산처리부(450)는 제1멀티플렉서(420)의 출력데이터 및 내부데이터(미도시)의 연산을 수행하는 적어도 하나의 배럴ши프터(barrel shifter, 451 내지 453), 배럴쉬프터들(451 내지 453)의 출력데이터를 합하는 제1덧셈기(454) 및 제1덧셈기(454)의 출력데이터와 연산데이터부(440)의 출력데이터를 합하는 제2덧셈기(455)를 구비한다.

<32> 에러보상기(460)는 연산처리부(450)의 출력데이터인 제2내부데이터(ID2)에 대한 라운드 오프 에러를 보상하며, 제2데이터 레지스터(470)는 에러보상기(460)의 출력데이터를 저장한다.

<33> 출력데이터 저장기(500)는 연산부(400)의 처리 결과를 저장한다.

<34> 본 발명에 따른 상기 디지털 베이스 부스터를 이용하여 종래의 미들 밴드 필터를 구현하는 연산 과정에 대하여 설명한다. 연산과정을 나열하면 다음과 같다.

<35> 제1단계 : $S_x = X(n)$

<36> 제2단계 : $A_p = S_x$

<37> 제3단계 : $B_p = q_m[n-2]$

<38> 제4단계 : $A_p = A_p + (b_{22} * B_p), \quad B_p = q_m[n-1]$

<39> 제5단계 : $C_p, D_p = A_p + (b_{12} * B_p), \quad B_p = q_m[n-2]$

<40> 제6단계 : $A_p = 0 + (a_{22} * B_p), \quad B_p = q_m[n-1]$

<41> 제7단계 : $A_p = A_p + (a_{12} * B_p)$

<42> 제8단계 : $A_p, C_p = A_p + (a_{02} * C_p)$

<43> 제9단계 : $D_p = 0 + B_p, \quad q_m[n-1] = D_p$

<44> 제10단계 : $D_p = A_p + (G_m * C_p), \quad q_m[n-2] = D_p$

<45> 제11단계 : $OUT_m = D_p$

<46> 여기서 화살표(-)는, 상기 화살표(-)의 오른쪽의 데이터를 화살표(-)의 왼쪽의 레지스터에 저장한다는 의미이다.

<47> 상기 제1단계에서는, 입력데이터($X(n)$)를 레지스터(201)에 저장시킨다.

<48> 상기 제2단계에서는, 레지스터(201)에 저장된 상기 입력데이터($X(n)$)를 데이터 할당기(300) 및 제2멀티플렉서(441)를 거쳐 제4데이터 레지스터(442)에 저장시킨다.

<49> 상기 제3단계에서는, 입력부(200)의 멀티 비트 레지스터(204)에 저장된 미들 밴드 지연데이터($qm[n-2]$)를 데이터 할당기(300)를 거쳐 제2데이터 레지스터(430)에 저장한다

<50> 상기 제4단계에서는, 제2데이터 레지스터(430)에 저장된 미들 밴드 지연데이터 ($qm[n-2]$)와 연산처리부(450)에 저장된 피드백 패스 계수(미도시, b22)를 연산처리부 (450)에서 곱하고, 곱한 결과 데이터를 제4데이터 레지스터(442)에 저장된 입력데이터 ($X(n)$)와 합하여 다시 제4데이터 레지스터(442)에 저장시키며, 동시에 입력부(200)의 멀티 비트 레지스터(203)의 출력데이터인 미들 밴드 지연데이터($qm[n-1]$)를 제2데이터 레지스터(430)에 저장한다.

<51> 상기 제5단계에서는, 제2데이터 레지스터(430)에 저장된 미들 밴드 지연데이터 ($qm[n-1]$)와 연산처리부(450)에 저장된 피드백 패스 계수(미도시, b12)를 연산처리부 (450)에서 곱하고, 곱한 결과 데이터를 제4데이터 레지스터(442)에 저장된 데이터에 더하여 제1데이터 레지스터(410) 및 제2데이터 레지스터(470)에 저장시키며, 동시에 제2데이터 레지스터(430)에 입력부(200)의 멀티 비트 레지스터(204)의 출력데이터인 미들 밴드 지연데이터($qm[n-2]$)를 저장시킨다.

<52> 상기 제6단계에서는, 제4데이터 레지스터(442)에 저장된 데이터를 데이터패스 제어기(443)에 전달하여 모든 데이터를 제거한 후, 제2데이터 레지스터(430)에 저장된 미들 밴드 지연데이터($qm[n-2]$)와 연산처리부(450)에 저장된 포워드 패스 계수(미도시, a22)를 연산처리부(450)에서 곱하고, 곱한 결과 데이터를 제4데이터 레지스터(442)에 저장시

키며, 동시에 제2데이터 레지스터(430)에 입력부(200)의 멀티 비트 레지스터(203)의 출력데이터인 미들 밴드 지연데이터($qm[n-1]$)를 저장시킨다.

<53> 상기 제7단계에서는, 제2데이터 레지스터(430)에 저장된 미들 밴드 데이터($qm[n-1]$)와 연산처리부(450)에 저장된 포워드 패스 계수(미도시, a12)를 연산처리부(450)에서 곱하고, 곱한 결과데이터를 제4레지스터(442)에 저장된 데이터와 합하여 다시 제4데이터 레지스터(442)에 저장한다.

<54> 상기 제8단계에서는, 제1데이터 레지스터(410)에 저장해 놓은 데이터와 연산처리부(450)에 저장된 포워드 패스 계수(미도시, a02)를 연산처리부(450)에서 곱하고, 곱한 결과 데이터를 제4데이터 레지스터(442)에 저장해 놓은 데이터와 더하여 제1데이터 레지스터(410) 및 제4데이터 레지스터(442)에 저장시킨다.

<55> 상기 9단계에서는, 제4데이터 레지스터(442)에 저장된 데이터를 데이터패스 제어기(443)로 모두 전달하고 저장된 데이터를 모두 제거한 후, 제2데이터 레지스터(430)에 저장된 미들밴드 지연데이터($qm[n-1]$)와 연산처리부(450)에 저장된 바이패스계수(미도시)를 연산처리부(450)에서 곱하고, 곱한 결과 데이터를 에러보상기(460)를 거쳐서 제3데이터 레지스터(470)에 저장시키며, 동시에 입력부(200)의 멀티비트레지스터(203)에 제3데이터 레지스터(470)의 출력데이터인 제1내부데이터(ID1)를 저장시킨다.

<56> 상기 제10단계에서는, 제1데이터 레지스터(410)에 저장된 데이터와 연산처리부(450)에 저장된 미들 밴드 이득계수(미도시, Gm)를 연산처리부(450)에서 곱하고, 곱한 결과 데이터를 제4데이터 레지스터(442)에 저장해 놓은 데이터와 더하여 제3데이터 레지스터(470)에 저장시키며, 동시에 입력부(200)의 멀티비트 레지스터(204)에 제3데이터 레지스터(470)의 출력데이터인 제1내부 데이터(ID1)를 저장시킨다.

<57> 상기 제11단계에서는, 제2데이터 레지스터(470)에 저장된 데이터를 입력부(200)의 멀티 비트 레지스터(207)에 저장한다.

<58> 상기 제4단계 내지 제6단계, 제9단계 및 제10단계에서는 동시에 2개의 연산처리가 수행되는데 이는 처리되는 데이터의 패스(path)가 서로 다르므로 동시에 처리가 가능하기 때문이며, 이 점은 본 발명의 장점 중의 하나이다. 이 때 사용되는 데이터 레지스터들은 두 개의 분리된 단(stage) 즉 마스터단 및 슬레이브단으로 구성하면 바람직한데, 이는 상기 데이터 레지스터에 입력되는 데이터와 상기 데이터 레지스터에서 출력되는 데이터는 서로 충돌하지 않게 되기 때문이다. 상술한 미들 밴드 필터의 구현은 일 예를 나타낸 것으로서, 베이스 밴드 필터 및 트래블 밴드 필터의 구현도 상기와 같은 연산과정을 이용하여 데이터를 얻을 수 있다.

<59> 상술한 바와 같이 본 발명에 따른 디지털 베이스 부스터는, 종래의 IIR 필터가 많은 설치면적이 필요한 것에 반하여, 일반적인 연산처리부를 설치하여 이를 반복 사용함으로써 적은 면적으로 종래의 IIR 필터가 수행하던 기능을 수행할 수 있다. 연산처리부에서의 반복되는 연산시간은 시스템클럭의 주기에 비하여 상당히 짧으므로 입력에 대한 출력특성에서 본다면 종래의 IIR 필터의 성능을 그대로 발휘한다.

<60> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<61> 상술한 바와 같이 본 발명에 따른 연산 프로세서를 이용한 디지털 베이스 부스터는, 파샬 빌딩 블럭으로 구성된 다단 구조의 종래의 IIR필터 구성을 구현함에 있어, 곱셈기 대신에 배럴 쉬프터를 이용하고, 덧셈기를 공유한 연산 프로세서를 통해 피드백 루프를 구성함에 따라 하드웨어의 면적을 줄이는 장점이 있다.

【특허청구범위】**【청구항 1】**

제1내부데이터;

복수 개의 멀티 비트 레지스터들을 구비하여 입력데이터 및 상기 제1내부데이터에 응답하는 입력부;

상기 입력부의 복수 개의 출력데이터들 중에서 하나의 출력데이터를 선택하는 데이터 할당기;

상기 데이터 할당기의 출력데이터 및 내부에 저장된 데이터에 대한 연산을 수행하고, 상기 연산 결과로 출력된 데이터의 라운드오프 에러(round off error)를 보상하여 저장하고 상기 제1내부데이터를 출력하는 연산부;

상기 연산부에서 처리한 데이터를 저장하는 출력데이터 저장기를 구비하는 것을 특징으로 하는 디지털 베이스 부스터(digital base booster).

【청구항 2】

제1항에 있어서, 상기 복수 개의 멀티 비트 레지스터 중 하나는,

상기 입력데이터를 저장하고, 해당 제어신호에 응답하여 상기 저장된 입력데이터를 출력하며,

나머지 멀티 비트 레지스터들은,

상기 제1내부데이터를 저장하고, 해당 제어신호에 응답하여 상기 저장된 제1내부데이터를 출력하는 것을 특징으로 하는 디지털 베이스 부스터.

【청구항 3】

제1항에 있어서, 상기 데이터 할당기는,
멀티플렉서인 것을 특징으로 하는 디지털 베이스 부스터.

【청구항 4】

제1항에 있어서, 상기 연산부는,
제 2내부데이터;
상기 제2내부데이터를 저장하는 제1데이터 레지스터;
상기 데이터 할당기의 출력데이터를 저장하고 출력하는 제2데이터 레지스터;
상기 제1데이터 레지스터의 출력데이터 및 상기 제2데이터 레지스터의 출력데이터를
선별하는 제1멀티플렉서;
상기 데이터 할당기의 출력데이터 및 상기 제2내부데이터를 선별하여 연산 과정중
의 중간 결과데이터를 저장하고 출력하는 연산데이터부;
상기 제1멀티플렉서의 출력데이터 및 상기 내부에 저장된 데이터를 연산 처리하고,
상기 연산 처리된 데이터와 상기 연산데이터부의 출력데이터를 합하여 상기 제2내부데이터
를 출력하는 연산처리부;
상기 연산처리부의 출력데이터인 제2내부데이터에 대한 라운드 오프 에러를 보상
하는 에러보상기; 및
상기 에러보상기의 출력데이터를 저장하는 제2데이터 레지스터를 구비하는 것을 특
징으로 하는 디지털 베이스 부스터.

【청구항 5】

제4항에 있어서, 상기 연산데이터부는,

상기 제2내부데이터 및 상기 데이터 할당기의 출력데이터를 선별하는 제2멀티플렉서;

상기 제2멀티플렉서의 출력데이터를 저장하는 제4데이터 레지스터; 및

상기 제4데이터 레지스터의 출력데이터의 전송을 제어하는 데이터 패스 제어기를 구비하는 것을 특징으로 하는 디지털 베이스 부스터.

【청구항 6】

제4항에 있어서, 상기 연산처리부는,

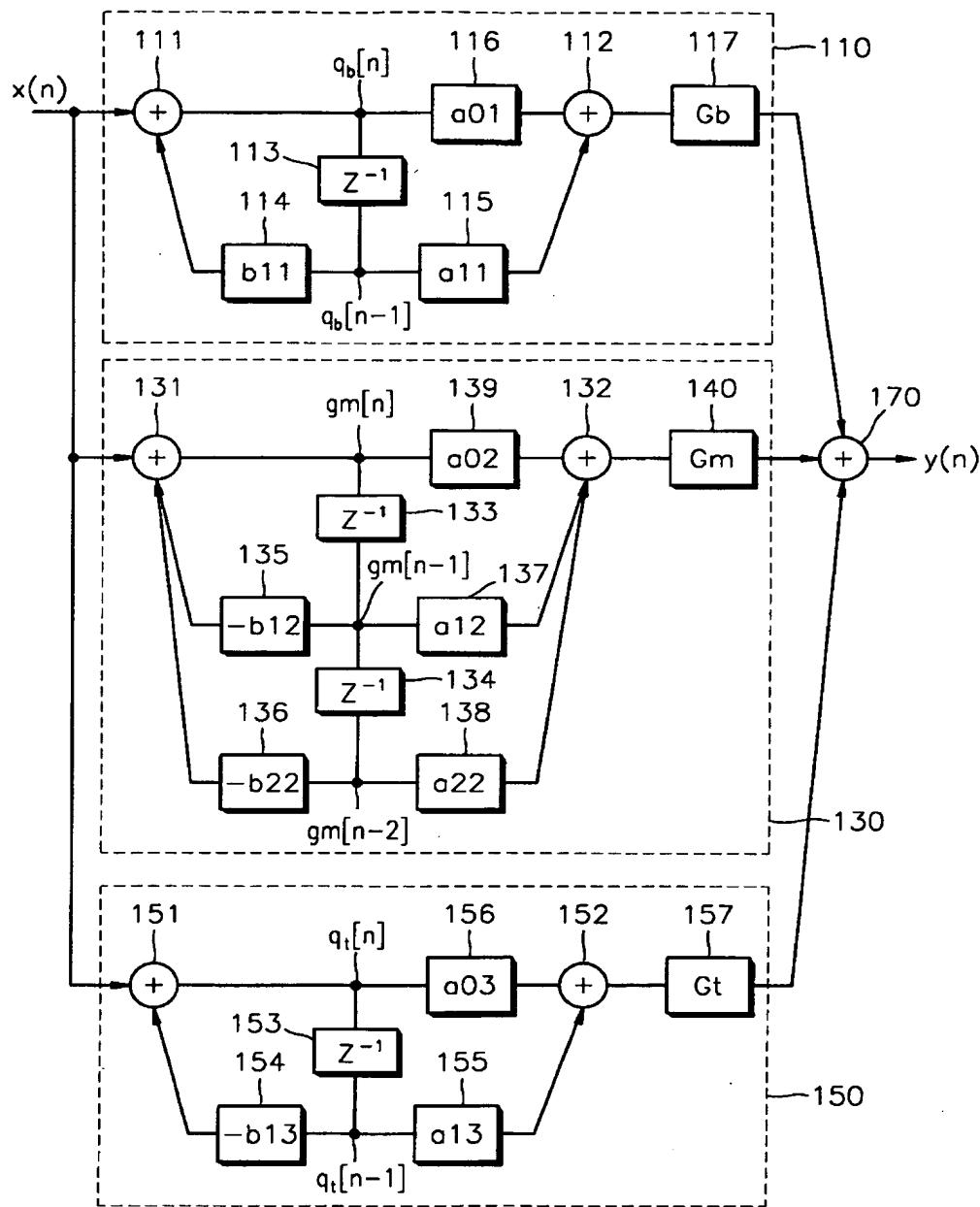
상기 제1멀티플렉서의 출력데이터에 응답하여 연산을 수행하는 적어도 하나의 배럴 쉬프터;

상기 배럴 쉬프터의 출력데이터를 합하는 제1덧셈기; 및

상기 제1덧셈기의 출력데이터 및 상기 연산데이터부의 출력데이터를 합하는 제2덧셈기를 구비하는 것을 특징으로 하는 디지털 베이스 부스터.

【도면】

【도 1】



【도 2】

